

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-228662

(43)Date of publication of application : 22.09.1988

(51)Int.Cl.

H01L 27/08

(21)Application number : 62-061250

(71)Applicant : TOSHIBA CORP
TOSHIBA MICRO COMPUT ENG
CORP

(22)Date of filing : 18.03.1987

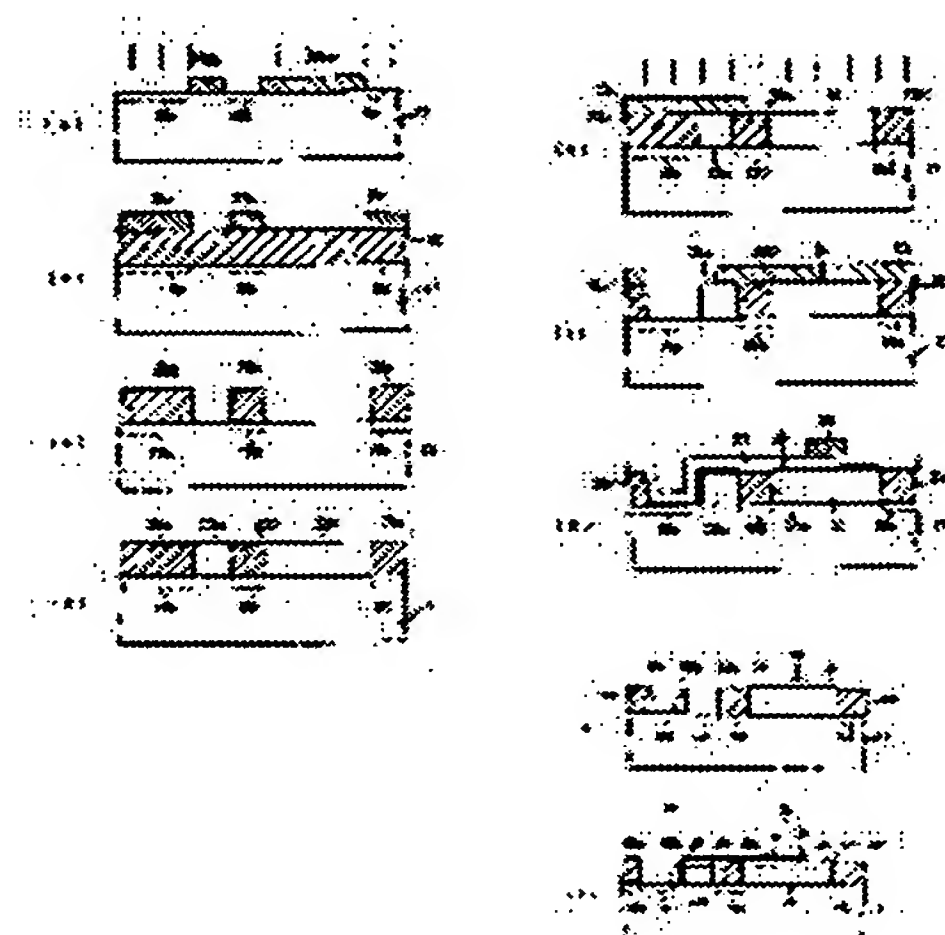
(72)Inventor : NOMICHI HIROYUKI
MAEDA SATORU

(54) MANUFACTURE OF COMPLEMENTARY TYPE MOS SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To implement a high speed, by forming an N-type MOS transistor on a P-type single crystal silicon layer, and forming a P-type MOS transistor on a (110) face.

CONSTITUTION: Patterns 18a and 18b are formed on the (100) face of an N-type silicon substrate. Silicon is implanted, and inversion preventing layers 19a, 19b and 19c are formed. Then the patterns 18a and 18b are removed. Patterns 21a, 21b and 21c are formed on an oxide film 20, which is formed on the substrate 17. Then with the patterns as masks, element isolating regions 20a, 20b and 20c are formed. Thereafter the patterns 21a, 21b and 21c are removed. Then, an N-type single crystal silicon layer is grown, and regions 22a and 22b are formed. Then, the region 22a is covered with a pattern 23. A P-type single crystal silicon layer 24 is formed on the region 22b. After the pattern 23 is removed, the side wall of the region 22a is exposed with a pattern 25 as a mask. After the pattern 25 is removed, an oxide film 26 is formed. After a phosphorus doped polycrystalline silicon layer 27 is deposited, a pattern 28 is formed, and gate electrodes 29a, 29b and 30 are formed. Then, P-type and N-type source and drain regions 311 and 321 and 312 and 322 are formed. Thus the operation can be made high and the integration density can be made high.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

BEST AVAILABLE COPY

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-228662

⑤ Int.Cl.⁴
H 01 L 27/08

識別記号
3 2 1

庁内整理番号
A-7735-5F

④ 公開 昭和63年(1988)9月22日

審査請求 有 発明の数 1 (全8頁)

⑬ 発明の名称 相補型MOS半導体装置の製造方法

⑭ 特 願 昭62-61250

⑮ 出 願 昭62(1987)3月18日

⑯ 発 明 者 野 路 宏 行 神奈川県川崎市川崎区東田町2番地11号 東芝マイコンエンジニアリング株式会社内

⑰ 発 明 者 前 田 哲 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑱ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑲ 出 願 人 東芝マイコンエンジニアリング株式会社 神奈川県川崎市川崎区東田町2番地11号

⑳ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

相補型MOS半導体装置の製造方法

2. 特許請求の範囲

(1) 第1導電型の半導体基板上に絶縁膜を形成する工程と、この絶縁膜を選択的に除去して素子分離領域を形成するとともに前記半導体基板の表面を露出させる工程と、前記半導体基板の露出面上に第1導電型の単結晶半導体層を形成する工程と、これら単結晶半導体層の少なくとも一つに第2導電型を形成する不純物をドーピングして少なくとも隣り合う二つの素子領域に第1導電型および第2導電型の単結晶半導体層を形成する工程と、前記第2導電型の単結晶半導体層中に第1導電型のチャネルを有するMOSトランジスタを形成する工程と、前記第1導電型の単結晶半導体層に接する素子分離領域の一部をエッチングして前記半導体基板の表面およびこの第1導電型単結晶半導体層の側壁を露出させる工程と、この側壁に沿って第2導電型のチャネルを有するMOSト

ランジスタを形成する工程とを具備することを特徴とする相補型MOS半導体装置の製造方法。

(2) 前記単結晶半導体層は、選択エピタキシャル成長法によって形成することを特徴とする特許請求の範囲第1項記載の相補型MOS半導体装置の製造方法。

(3) 前記素子分離領域下の半導体基板に、この基板より不純物濃度が高い第1導電型でフィールド反転防止用の不純物層を形成することを特徴とする特許請求の範囲第1項記載の相補型MOS半導体装置の製造方法。

(4) 前記第2導電型の単結晶半導体層と前記半導体基板との間に、この第2導電型単結晶半導体層よりも不純物濃度が高い第2導電型不純物領域を形成することを特徴とする特許請求の範囲第1項記載の相補型MOS半導体装置の製造方法。

(5) 前記第1導電型はn型、第2導電型はp型であり、前記単結晶半導体層の面方位は(100)で、第1導電型単結晶半導体層の側壁の面方位指数は(110)であることを特徴とす

特開昭63-228662(2)

る特許請求の範囲第1項記載の相補型MOS半導体装置の製造方法。

3. 発明の詳細な説明

〔発明の目的〕

（産業上の利用分野）

この発明は、pチャネル型MOSトランジスタの高速化と、ラッチアップの防止、および素子の微細化を図った相補型MOS半導体装置の製造方法に関する。

（従来の技術）

周知の如く、相補型MOS（以下CMOSと略称する）半導体装置は、同一の半導体基板上にpチャネル型MOSトランジスタとnチャネル型MOSトランジスタとを相補型に形成したものである。特に最近のCMOS半導体装置は、高密度、高集積化に伴って微細化技術の確立が要望されている。

ところで、従来この種のCMOS半導体装置は、例えば第3図(a)～(g)に示すような工程で形成される。

以外を覆うレジストパターン8を形成し、このレジストパターン8および上記シリコン窒化膜パターン7bをマスクとして、例えばボロンを加速電圧40KeV、ドーズ量 $8 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入した後、熱拡散を行なってフィールド反転防止用のp⁺型不純物層9、9を形成する（第3図(d)図示）。続いて、上記レジストパターン8を除去し、再度写真蝕刻法により上記p型ウェル領域5を覆うレジストパターン10を形成する。そして、このレジストパターン10および上記シリコン窒化膜パターン7a、7cをマスクとして、例えばリンを加速電圧100KeV、ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入した後、熱拡散を行なってフィールド反転防止用のn⁺型不純物層11、11を形成する（第3図(e)図示）。次に、上記レジストパターン10を除去し、シリコン窒化膜パターン7a～7cを耐酸化性のマスクとして高温のウェット雰囲気中で選択酸化を行ない、フィールド酸化膜12、12、12を形成する（第3図(f)図示）。

まず、例えば面方位指数が(100)のn型シリコン基板1上に熱酸化膜2を成長させ、この熱酸化膜2上に写真蝕刻法によってウェル形成予定領域を除去したレジストパターン3を形成する。上記レジストパターン3をマスクとしてボロンを例えば加速電圧100KeV、ドーズ量 $8.5 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入して基板1にボロンイオン注入層4を形成する（第3図(a)図示）。続いて、上記レジストパターン3を除去し、イオン注入層4を例えば1200℃の温度で30時間程度熱処理して拡散させ、p型のウェル領域5を形成する。次に、上記熱酸化膜2をエッチングして除去した後、再度熱酸化を行なって熱酸化膜6を形成し、この熱酸化膜6上にシリコン窒化膜7を形成する（第3図(b)図示）。次に、上記シリコン窒化膜7のフィールド酸化膜形成予定領域をフォトリソグラフィによって選択的に除去し、シリコン窒化膜パターン7a～7cを形成する（第3図(c)図示）。

続いて、写真蝕刻法により上記pウェル領域5

次に、上記フィールド酸化膜12、12、12で分離された素子領域上にゲート酸化膜となる熱酸化膜を成長させ、この熱酸化膜上に多結晶シリコン膜を堆積形成した後、多結晶シリコン膜中にリンを拡散する。続いて上記多結晶シリコン膜をパターニングしてゲート電極13₁、13₂を形成し、これらのゲート電極13₁、13₂をマスクとして上記熱酸化膜のエッチングを行ない、ゲート酸化膜14₁、14₂を形成する。次に、上記ゲート電極13₁をマスクとしてシリコン基板1の表面領域にボロンを、上記ゲート電極13₂をマスクとしてp型ウェル領域5の表面領域にヒ素をそれぞれイオン注入して、p⁺型のソース、ドレイン領域15₁、16₁およびn⁺型のソース、ドレイン領域15₂、16₂を形成する（第3図(g)図示）。その後、図示しないが公知の技術で全面にCVD-SiO₂膜を形成し、コンタクトホールを開孔した後、アルミニウムの蒸着およびパターニングを行なって配線を形成し、pチャネル型MOSトランジスタQ₁とnチャネル型MOSトランジスタQ₂とから成る

特開昭63-228662(3)

CMOS半導体装置を形成する。

しかしながら、上述した従来の製造方法では次のような欠点がある。まず各チャネル型のMOSトランジスタは面方位指数が(100)面に形成されているが、これはnチャネル型MOSトランジスタ Q_2 の信頼性および電流駆動能力を考慮しているためである。しかし、pチャネル型MOSトランジスタ Q_1 を(100)面に形成すると電流駆動能力が著しく低下し、動作速度の低下を招く。これに対しては、pチャネル型MOSトランジスタ Q_1 のサイズを大きく設定して対処している。しかし、MOSトランジスタ Q_1 のサイズを大きく設定することは寄生容量の増加という新たな問題を生ずる。そこで、この問題を解決するためにpチャネル型MOSトランジスタ Q_1 を最も電流駆動能力を高くできる(110)面に形成することが考えられる。これを実現するために、(100)面のシリコン基板に垂直に溝を掘り、この溝の側壁に(110)面を形成し、この(110)面にpチャネル型MOSトランジスタ

象は、シリコン基板1およびp型ウェル領域5の抵抗と少数キャリアの到達確率とによって決まる。上記少数キャリアの到達確率はnチャネル型の素子領域とpチャネル型の素子領域との距離で決まるので、微細化するとラッチアップ現象が起きやすくなり、素子特性の低下を招く。このため高集積化が困難である。

更に、前記第3図(b)に示した如く、p型ウェル領域5の形成時、拡散層は深さ方向(基板1の表面と垂直な方向)に伸びるとともに、横方向(基板1の表面と平行な方向)にも伸びる(例えば深さ方向が10 μ m伸びるとすると横方向にも7~8 μ m伸びる)ため、微細化の障害となり集積度の低下を招く。

また、第3図(d)、(e)に示すように、n型とp型のフィールド反転防止用のイオン注入を行なうため、写真蝕刻工程の数が多く生産性も悪い欠点がある。

(発明が解決しようとする問題点)

上述したように、従来のCMOS半導体装置

を配置した3次元構造のCMOS半導体装置が1986年のVLSIシンポジウム(SUBMICRON 3D SURFACE-ORIENTATION-OPTIMIZED CMOS TECHNOLOGY)で発表されている。しかし、このシンポジウムで発表された製造方法では、(110)面を形成するために面方位指数が(100)のシリコン基板をRIE法でエッチングして溝を形成する必要があり、基板表面にダメージ層が生じて素子特性が劣化する欠点がある。

また、従来構造のCMOS半導体装置では、第3図(g)に示した如くp⁺型のソース領域15₁(またはドレイン領域16₁)とn型シリコン基板1、およびp型ウェル領域5とによって構成される寄生PNPトランジスタや、n⁺型のソース領域15₂(またはドレイン領域16₂)とp型ウェル領域5、およびn型シリコン基板1とによって構成される寄生NPNトランジスタが形成され、ラッチアップ現象が発生する。このラッチアップ現

の製造方法では、pチャネル型MOSトランジスタの動作速度が低下し、ラッチアップが発生しやすいとともにウェル領域の形成時に不純物が横方向にも拡散されるため高集積化が困難な欠点がある。また、写真蝕刻工程が多く生産性も低い。

この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、pチャネル型MOSトランジスタの高速化、ラッチアップの防止、素子の微細化、および生産性の向上を図れる相補型MOS半導体装置の製造方法を提供することである。

[発明の構成]

(問題点を解決するための手段と作用)

すなわち、この発明においては、上記の目的を達成するために、n型の半導体基板上に絶縁膜を形成し、この絶縁膜を選択的に除去して素子分離領域を形成するとともに前記半導体基板の表面を露出させた後、この素子分離領域で分離された前記半導体基板の露出面上に面方位指数が(100)のn型単結晶半導体層を形成し、これ

特開昭63-228662(4)

ら単結晶半導体層の少なくとも一つにp型を形成する不純物をドーピングして少なくとも隣り合う二つの素子領域にn型およびp型の単結晶シリコン層を形成する。そして、前記p型の単結晶シリコン層にnチャネル型MOSトランジスタを形成するとともに、前記n型の単結晶半導体層に接する素子分離領域の一部をエッチングして前記半導体基板の表面およびこの単結晶半導体層における面方位指数(110)の側壁を露出させ、この側壁に沿ったチャネルを有するpチャネル型MOSトランジスタを形成するようにしている。

こうすることにより、pチャネル型MOSトランジスタが面方位指数(110)面に形成されるので、このMOSトランジスタのモビリティが高くなり、動作速度の高速化が図れる。また、n型素子領域とp型素子領域が素子分離領域で分離されるため、寄生バイポーラトランジスタの形成を阻止してラッチアップを確実に防止できる。しかも、素子領域を形成する際に選択エピタキシャル成長法を用いれば、LOCOS法を用いた場合

21b, 21cを形成する。次に、上記フォトリジストパターン21a, 21b, 21cをマスクとして上記CVD酸化膜20を反応性イオンエッチング法(RIE法)により選択的に除去して素子分離領域(フィールド酸化膜)20a, 20b, 20cを形成する。その後、上記フォトリジストパターン21a, 21b, 21cを除去すると(c)図に示すようになる。

次に、露出された上記シリコン基板17上に選択エピタキシャル成長法により素子分離領域20a, 20b, 20cと同じ厚さのn型単結晶シリコン層を成長させる。これによって、素子分離領域20aと20bとの間、および20bと20cとの間にそれぞれn型の単結晶シリコン層から成る素子領域22a, 22bが形成され、(d)図に示すようになる。

続いて、(e)図に示す如く上記素子領域22a上をレジストパターン23で覆い、素子領域22bにp型を形成する不純物、例えばボロンを加速電圧100KeV、ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入して高温の熱処理を行ない、p型

のようにバースピークの発生がなく、素子分離領域の微細化が図れる。これによって、素子領域の設計寸法に対する縮小を抑制でき、集積密度の高いCMOS半導体装置を形成できる。

(実施例)

以下、この発明の一実施例について図面を参照して説明する。第1図(a)~(i)は、製造工程を順次示すもので、まず、(a)図に示すように面方位指数(100)のn型シリコン基板17上の素子分離領域の形成予定領域にフォトリジストパターン18a, 18bを形成し、例えばリンを加速電圧40KeV、ドーズ量 $4 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入してフィールド反転防止層19a, 19b, 19cを形成する。続いて上記フォトリジストパターン18a, 18bを除去し、(b)図に示すようにシリコン基板17上の全面に膜厚が約1 μm のCVD酸化膜20を形成する。そして、上記CVD酸化膜20上にフォトリジストを塗布し、写真蝕刻法により素子分離領域形成予定領域に対応するCVD酸化膜20上にレジストパターン21a,

の単結晶シリコン層(素子領域)24に変換する。

次いで、前記レジストパターン23を除去した後、上記素子分離領域20b, 20c上、p型の単結晶シリコン層(素子領域)24上、n型の単結晶シリコン層22a(素子領域)上の一部、および素子分離領域20aの一部上をレジストパターン25で覆い、このレジストパターン25をマスクとして素子分離領域20aをウェットエッチングしてCVD酸化膜を選択的に除去し、シリコン基板17の表面を露出させる。これによって、(f)図に示すようにn型の単結晶シリコン層から成る素子領域22aの側壁が露出される。この側壁は面方位指数(110)である。

次に、前記レジストパターン25を除去した後、全面にゲート酸化膜26(膜厚200 \AA)を形成し、このゲート酸化膜26上にゲート電極となるリンドープ多結晶シリコン層27(膜厚4000 \AA)を堆積形成する。この後、上記リンドープ多結晶シリコン層27上にnチャネル型MOSトランジスタのゲート電極形成予定領域を覆うようなレジストパ

BEST AVAILABLE COPY

特開昭63-228662(5)

ターン28を形成する((g)図)。

次に、上記レジストパターン28をマスクとして、RIE法により上記リンドープ多結晶シリコン層27をエッチングして(h)図に示すようなpチャネル型MOSトランジスタのゲート電極29a、29b、およびnチャネル型MOSトランジスタのゲート電極30を形成する。

次に、素子分離領域20aの側壁に残存された不要なゲート電極29aを除去するとともに、不要なゲート酸化膜26をエッチングして除去した後、p型およびn型を形成する不純物をそれぞれイオン注入して、pチャネル型MOSトランジスタのソース、ドレイン領域31₁、32₁およびnチャネル型MOSトランジスタのソース、ドレイン領域31₂、32₂を形成し、(i)図に示すようなpチャネル型MOSトランジスタQ₁とnチャネル型MOSトランジスタQ₂とから成るCMOS半導体装置を完成する。

このような製造方法を用いて形成したCMOS半導体装置では、(i)図に示す如く、pチャネ

ル型MOSトランジスタQ₁のチャネルが面方位指数(110)面に形成されるので、このMOSトランジスタのモビリティが高くなり動作速度の高速化が図れる。一方、nチャネル型MOSトランジスタQ₂のチャネルは面方位指数(100)面に形成するので、信頼性および電流駆動能力が低下することはない。また、n型素子領域とp型素子領域が素子分離領域20bで分離されるため、寄生バイポーラトランジスタの形成を阻止してラッチアップを確実に防止できる。しかも、素子領域22a、22bを形成する際に、選択エピタキシャル成長法を用いているので、LOCOS法を用いた場合のようにバースピークの発生がなく、素子分離領域20a~20cの微細化、ひいては素子領域22a、22bの設計値に対する寸法の縮小を抑制でき、集積密度の高いCMOS半導体装置を形成できる。

なお、上記実施例では、フィールド反転防止層19a~19cを素子分離領域となるCVD酸化膜20の形成前に形成したが、この酸化膜20の形成後に

形成しても良い。また、シリコン基板17として低抵抗基板(例えば不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上)を用いればフィールド反転防止層19a~19cの形成は不要である。

第2図(a)~(c)はこの発明の他の実施例を示している。第2図において前記第1図と同一構成部分には同じ符号を付しており、前記第1図におけるp型単結晶シリコン層24とシリコン基板17との間に高濃度のp⁺型単結晶シリコン層33を形成したものである。すなわち、第1図(d)の選択エピタキシャル成長法で、素子分離領域20a~20cと同じ膜厚のn型単結晶シリコン層22a、22bを形成するまでは同様の工程である。次に、素子領域22a上をレジストパターン34で覆い、素子領域22bにp型を形成する不純物、例えばボロンを加速電圧100KeV、ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入した後、高温で熱処理を行ない、p型の単結晶シリコン領域24に変換する((a)図)。

続いて、上記p型の単結晶シリコン領域24に再

びイオン注入を行ない、単結晶シリコン領域24の下部に、少なくともこのp型単結晶シリコン領域24よりも高濃度の不純物層33を形成する((b)図)。

その後、前記第1図(f)~(i)と同様な工程でpチャネル型およびnチャネル型のMOSトランジスタQ₁、Q₂を形成し、(c)図に示すようなCMOS半導体装置を完成する。

このような製造方法によれば、シリコン基板17とp型単結晶シリコン層24との間にp⁺型の不純物領域33を形成しているので、前記シリコン基板17とnチャネル型MOSトランジスタQ₂のソース31₂またはドレイン32₂間のリーク電流を低減できる。これは、シリコン基板17とnチャネル型MOSトランジスタQ₂のソース31₂またはドレイン32₂間の不純物濃度が低いと空乏層ができやすいが、これを高濃度の不純物領域33によって緩和できるためである。

なお、上記第2図に示した実施例では、素子分離領域20a~20cと同じ厚さの単結晶シリコン層

特開昭63-228662(6)

22a, 22b を選択エピタキシャル成長法で形成し、不純物のイオン注入を行なって単結晶シリコン層 22b を p 型に変換した後、再び不純物のイオン注入を行なって p⁺ 型不純物層 33 を形成したが、まず、エピタキシャル成長法により単結晶シリコン層を薄く形成し、不純物のイオン注入を行なって p⁺ 型不純物層 33 を形成した後、再び選択エピタキシャル成長を行なって素子分離領域 20a ~ 20c と同じ厚さまで単結晶シリコン層 22b を形成し、p 型に変換しても良い。

〔発明の効果〕

以上説明したようにこの発明によれば、p チャネル型 MOS トランジスタの高速化、ラッチアップの防止、素子の微細化、および生産性の向上が図れる相補型 MOS 半導体装置の製造方法が得られる。

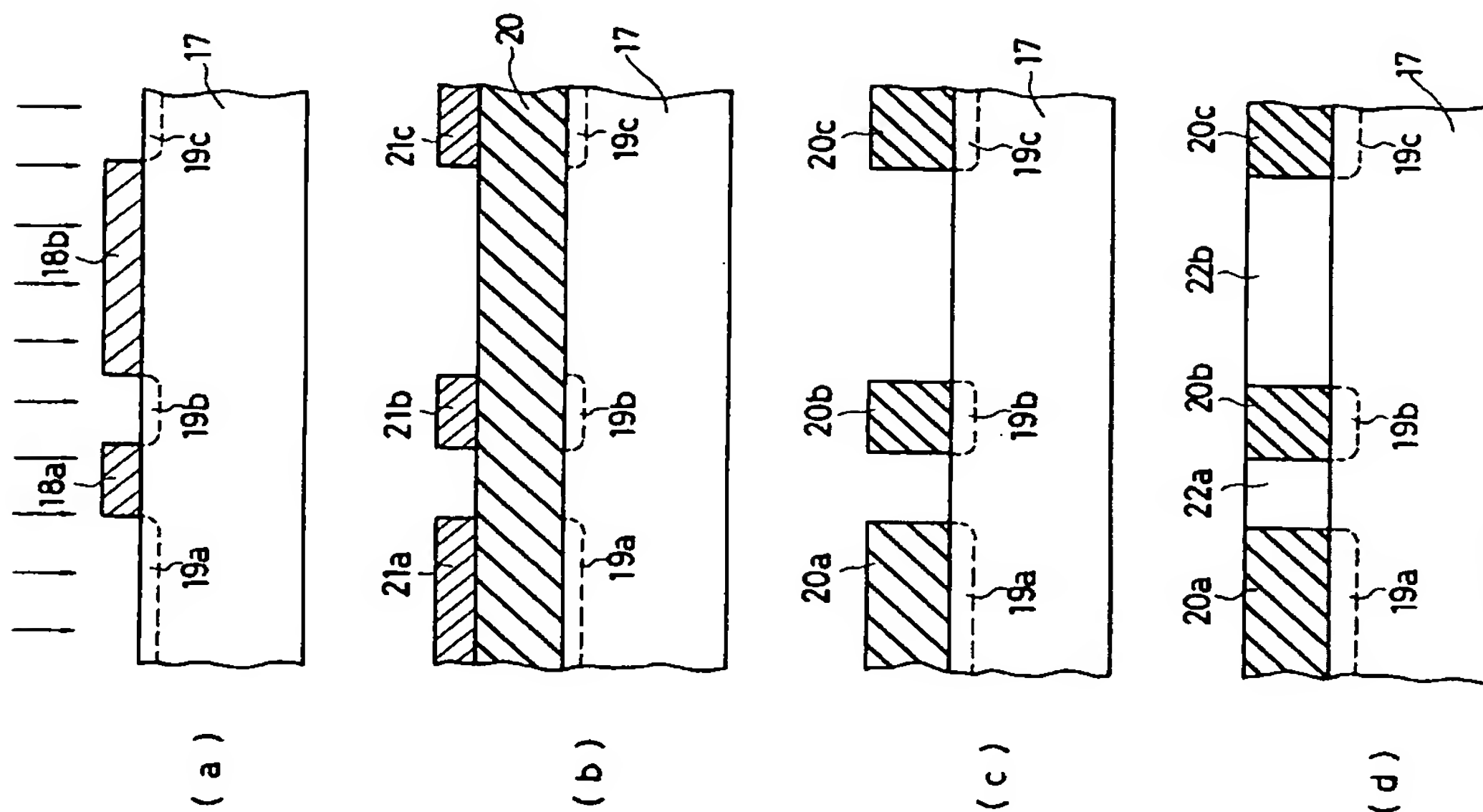
4. 図面の簡単な説明

第 1 図はこの発明の一実施例に係わる相補型 MOS 半導体装置の製造方法について説明するための図、第 2 図はこの発明の他の実施例について

説明するための図、第 3 図は従来の相補型 MOS 半導体装置の製造方法について説明するための図である。

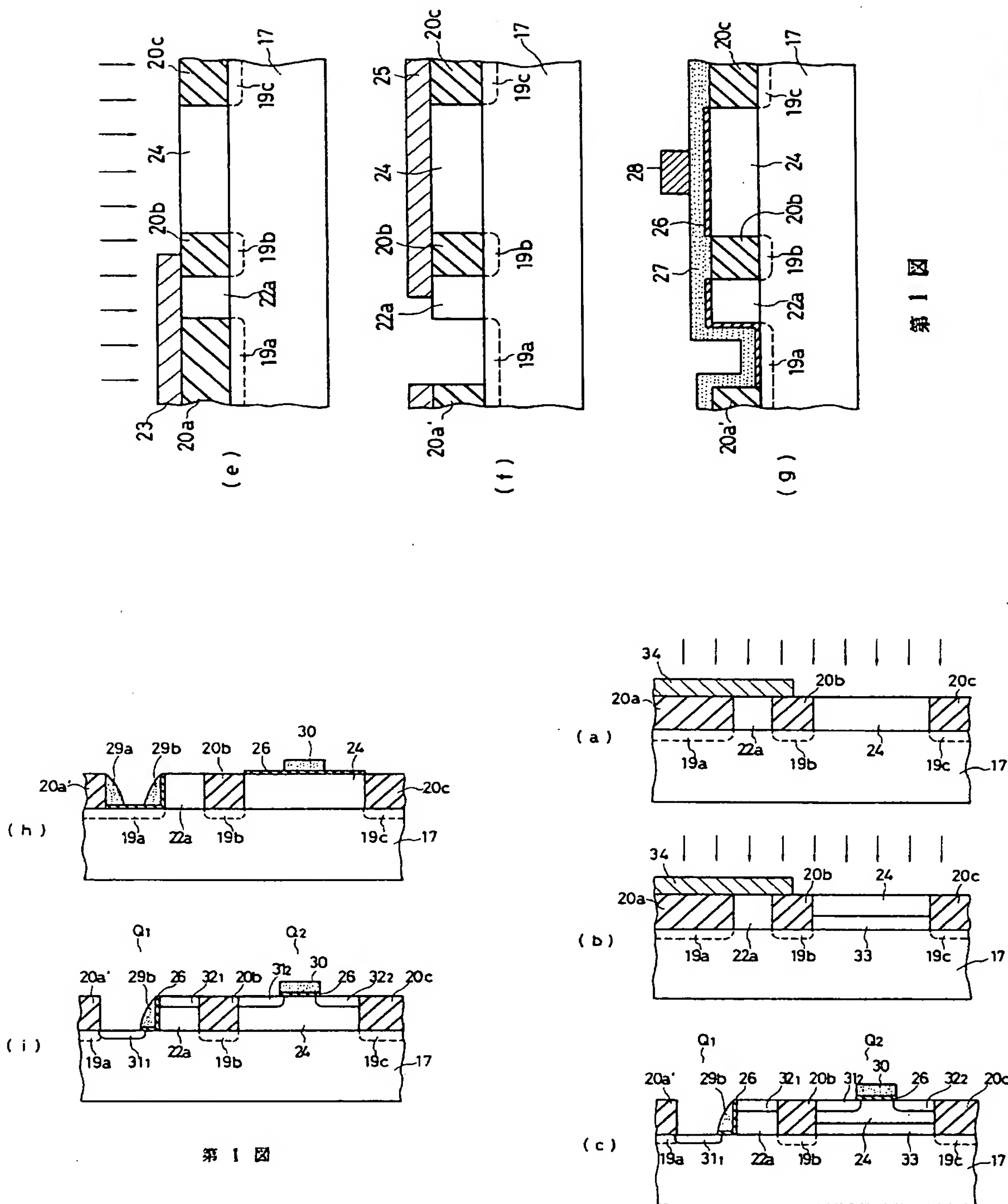
17…半導体基板、19a, 19b, 19c…フィールド反転防止用の不純物層、20…絶縁膜、20a, 20b, 20c…素子分離領域、22a, 22b…単結晶シリコン層（単結晶半導体層）、Q₁…p チャネル型 MOS トランジスタ、Q₂…p チャネル型 MOS トランジスタ、33…不純物領域。

出願人代理人 弁理士 鈴江武彦



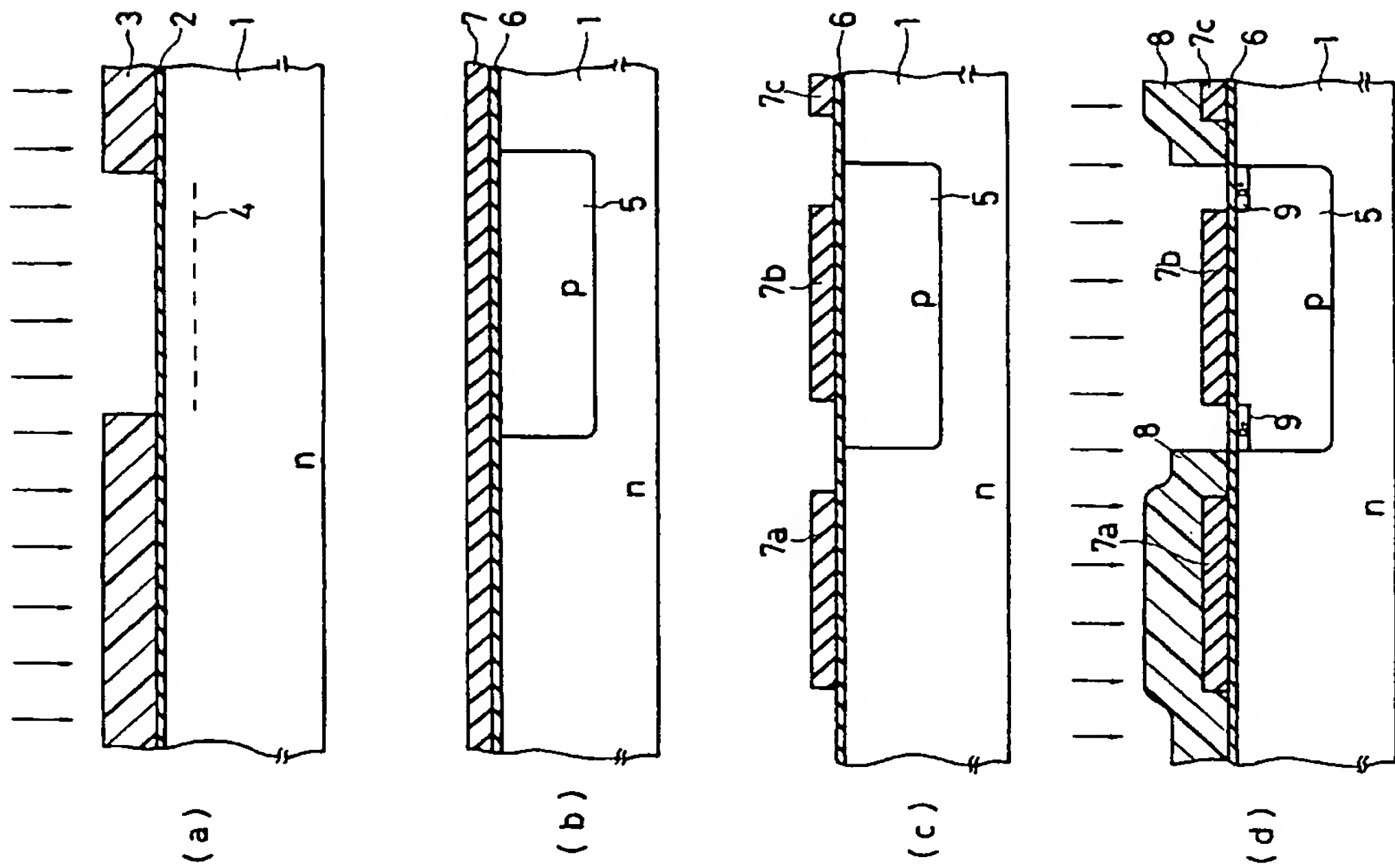
第 1 図

特開昭63-228662(7)

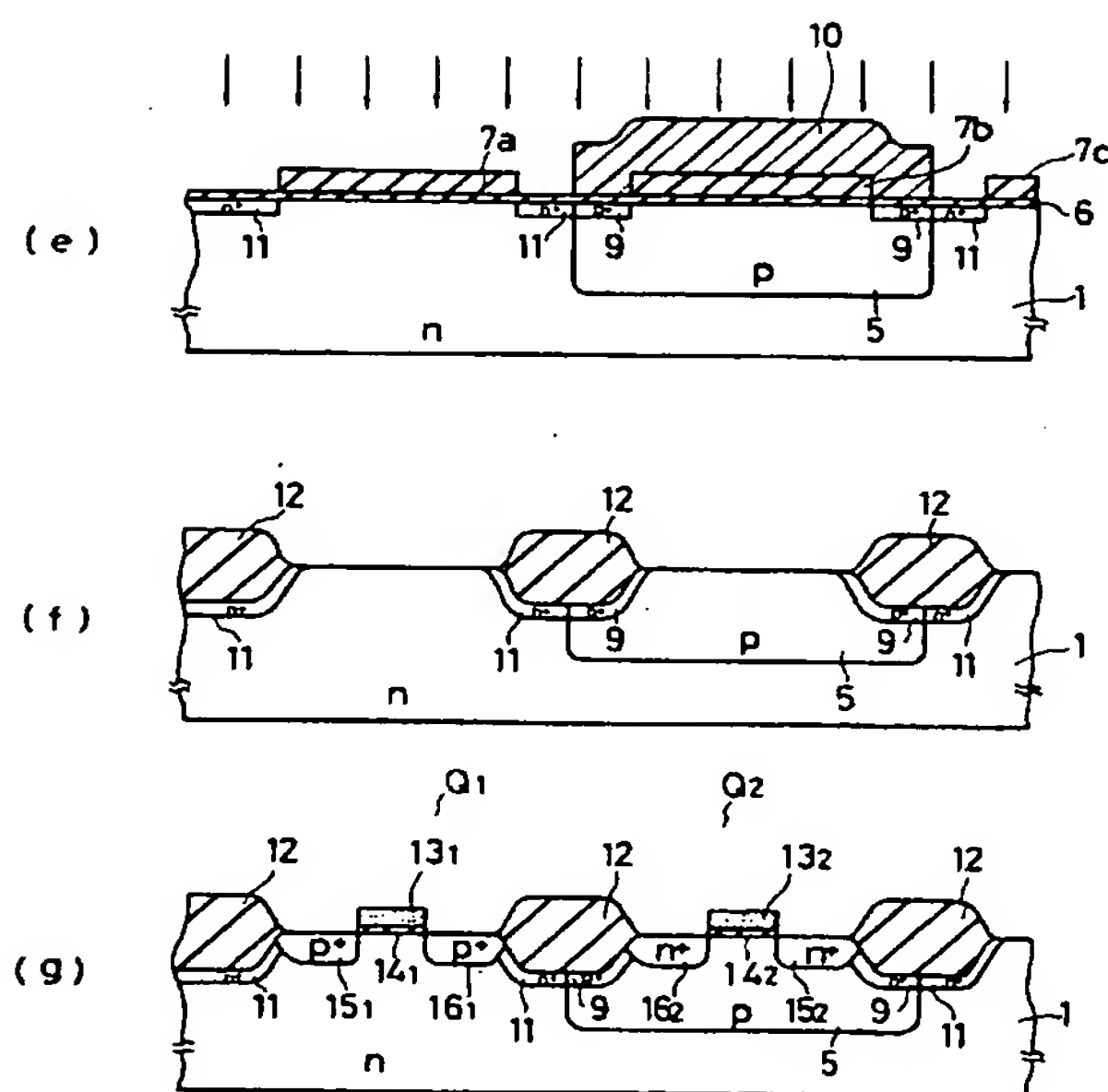


BEST AVAILABLE COPY

特開昭63-228662(8)



第3図出願人



第3図